

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing (day/month/year) 05 July 2001 (05.07.01)	
International application No. PCT/JP00/06462	Applicant's or agent's file reference FPF-8302P
International filing date (day/month/year) 21 September 2000 (21.09.00)	Priority date (day/month/year) 22 September 1999 (22.09.99)
Applicant FUJII, Shouichi et al	

1. The designated Office is hereby notified of its election made:

☒

in the demand filed with the International Preliminary Examining Authority on:

23 April 2001 (23.04.01)

☐

in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

☐

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer H. Zhou Telephone No.: (41-22) 338.83.38
--	--

PATENT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

TAKAHASHI, Katsuhiko
SAF Tokushige 1st floor
802-3, Tokushige 1-chome
Midori-ku
Nagoya-shi
Aichi 458-0815
JAPON



Date of mailing (day/month/year) 27 February 2001 (27.02.01)	
Applicant's or agent's file reference FPF-8302P	IMPORTANT NOTIFICATION
International application No. PCT/JP00/06462	International filing date (day/month/year) 21 September 2000 (21.09.00)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 22 September 1999 (22.09.99)
Applicant SUZUKA FUJI XEROX CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
22 Sept 1999 (22.09.99)	11/268063	JP	15 Nove 2000 (15.11.00)

CORRECTED VERSION

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Shinji IGARASHI

Telephone No. (41-22) 338.83.38

PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

TAKAHASHI, Katsuhiko
SAF Tokushige 1st floor
802-3, Tokushige 1-chome
Midori-ku
Nagoya-shi
Aichi 458-0815
JAPON

Date of mailing (day/month/year) 29 March 2001 (29.03.01)		
Applicant's or agent's file reference FPF-8302P		IMPORTANT NOTICE
International application No. PCT/JP00/06462	International filing date (day/month/year) 21 September 2000 (21.09.00)	
Applicant SUZUKA FUJI XEROX CO., LTD. et al		

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:

US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CN,GB,JP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 29 March 2001 (29.03.01) under No. WO 01/22488

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Châmbettes 1211 Genève 20, Switzerland	Authorized officer J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38



P C T

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 F P F - 8 3 0 2 P	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/J P 0 0 / 0 6 4 6 2	国際出願日 (日.月.年) 2 1 . 0 9 . 0 0	優先日 (日.月.年) 2 2 . 0 9 . 9 9
出願人(氏名又は名称) 鈴鹿富士ゼロックス株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

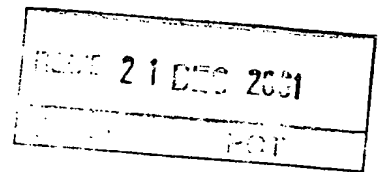
6. 要約書とともに公表される図は、

第 1 図とする。 ☐ 出願人が示したとおりである。

☐ なし

☒ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。




P C T

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 FPF-8302P	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/JP00/06462	国際出願日 (日.月.年) 21.09.00	優先日 (日.月.年) 22.09.99
国際特許分類 (IPC) Int. Cl. H01L23/12		
出願人 (氏名又は名称) 鈴鹿富士ゼロックス株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で 7 ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 23.04.01	国際予備審査報告を作成した日 07.12.01	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 坂本 薫昭 	4 R 9265 電話番号 03-3581-1101 内線 6362

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-4, 6, 7, 9, 10, 12-24 ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 5, 8, 8/1, 11, 11/1 ページ、 25.09.01 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2-15 項、 出願時に提出されたもの
 請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 16 項、 25.09.01 付の書簡と共に提出されたもの

☒ 図面 第 1-21 ~~ページ~~図、 出願時に提出されたもの
 図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲 1-16

有

請求の範囲

無

進歩性(IS)

請求の範囲 1-16

有

請求の範囲

無

産業上の利用可能性(IA)

請求の範囲 1-16

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

文献1: JP 11-97575 A (株式会社デンソー) 9. 4月. 1999

文献2: JP 8-78825 A (松下電工株式会社) 22. 3月. 1996

請求の範囲1-16に記載された発明は、国際調査報告で引用された文献1-2に対して進歩性を有する。文献1-2には「過大な引張応力が作用する部位のランドに補助ランドが形成されている」構成などが記載されておらず、一方、本願発明はそれにより明細書記載の有利な効果を発揮する。

プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイ L S I チップが配設されるグリッドアレイ電子部品において、

前記グリッドアレイ L S I チップに対応するプリント配線基板におけるランドと前記配線としての配線パターンとの間に過大な引張応力が作用する部位のランドの前記配線パターンとの接続部に補助ランドが形成されているものである。

本発明（請求項 2 に記載の第 2 発明）のグリッドアレイ電子部品は、
前記第 1 発明において、

前記補助ランドが、前記プリント配線基板に荷重が作用した時に該プリント配線基板の他に比べて過大な引張応力が作用する少なくとも一部に位置するランドに形成されているものである。

本発明（請求項 3 に記載の第 3 発明）のグリッドアレイ電子部品は、
前記第 2 発明において、

前記補助ランドが、前記プリント配線基板における前記グリッドアレイ L S I チップのコーナー部に対応する部位に位置するランドに形成されているものである。

本発明（請求項 4 に記載の第 4 発明）のグリッドアレイ電子部品は、
前記第 2 発明において、

前記補助ランドが、前記プリント配線基板における前記グリッドアレイ L S I チップに配設された I C チップの端部に対応する部位に位置するランドに形成されているものである。

本発明（請求項 5 に記載の第 5 発明）のグリッドアレイ電子部品は、
前記第 2 発明において、

前記補助ランドが、前記グリッドアレイ電子部品のリフロー半田工程において発生した前記プリント配線基板の反りが生じている方向およびそれに近い方向に形成されている配線パターンに接続されるランドに形成されている

ものである。

本発明（請求項 15 に記載の第 15 発明）のグリッドアレイ電子部品の製造方法は、

前記第 14 発明において、

前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の接続部を強化したグリッドアレイ電子部品を製造する

ものである。

本発明（請求項 16 に記載の第 16 発明）のグリッドアレイ電子部品は、

プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイ L S I チップが配設されるグリッドアレイ電子部品において、

前記グリッドアレイ L S I チップに対応するプリント配線基板におけるランドと前記配線としてのバイヤホールに接続するため外方へ取り出された配線パターンとの間に製造工程において過大な引張応力が作用する部位のランドの前記配線パターンとの接続部に接続用断面積を大きくする補助ランドが形成されているものである。

上記構成より成る第 1 発明のグリッドアレイ電子部品は、プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイ L S I チップが配設されるグリッドアレイ電子部品において、前記グリッドアレイ L S I チップに対応するプリント配線基板におけるランドと前記配線としての配線パターンとの間に過大な引張応力が作用する部位のランドの前記配線パターンとの接続部に補助ランドを形成して、前記接続部の応力集中を緩和することにより前記接続部における前記配線パターンの断線を防止するという効果を奏する。

上記構成より成る第 2 発明のグリッドアレイ電子部品は、前記第 1 発明において、前記補助ランドが、前記プリント配線基板に荷重が作用した時に該プリント配線基板の他に比べて過大な引張応力が作用する少なくとも一部に位置するラン

ドに形成されているので、過大な引張応力が作用する少なくとも前記一部に位置する前記ランドと前記配線パターンとの前記接続部の応力集中を緩和することにより、前記接続部における前記配線パターンの断線を防止するという効果を奏する。

上記構成より成る第3発明のグリッドアレイ電子部品は、前記第2発明において、前記補助ランドが、前記プリント配線基板に荷重が作用した時に該プリント配線基板の他に比べて過大な引張応力が作用する前記プリント配線基板における前記グリッドアレイLSIチップのコーナー部に対応する部位に位置するランドに形成されているので、前記グリッドアレイLSIチップのコーナー部に対応す

という効果を奏する。

上記構成より成る第12発明の配線強化方法は、グリッドアレイ電子部品を構成するプリント配線基板と該プリント配線基板に実装されるグリッドアレイLSIチップとを接続する配線において、前記グリッドアレイLSIチップのコーナー部のランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドを形成することにより、前記配線の接続部を強化したので、前記配線の前記プリント配線基板のランド側の一端の断線を防止するという効果を奏する。

上記構成より成る第13発明の配線強化方法は、前記第12発明において、前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の前記プリント配線基板のバイヤホール側の前記接続部も強化したので、前記配線の前記両端の断線を防止するという効果を奏する。

上記構成より成る第14発明のグリッドアレイ電子部品の製造方法は、グリッドアレイ電子部品を構成するプリント配線基板と該プリント配線基板に実装されるグリッドアレイLSIチップとを配線パターンによって接続するグリッドアレイ電子部品の製造方法において、前記グリッドアレイLSIチップのコーナー部のランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドを形成することにより、前記配線パターンの前記プリント配線基板のランド側の前記接続部を強化したグリッドアレイ電子部品の製造を可能にするという効果を奏する。

上記構成より成る第15発明のグリッドアレイ電子部品の製造方法は、前記第14発明において、前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の前記プリント配線基板のバイヤホール側の前記接続部も強化したグリッドアレイ電子部品の製造を可能にするという効果を奏する。

上記構成より成る第16発明のグリッドアレイ電子部品は、プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイLSIチップが配設されるグリッドアレイ電子部品において、前記グリッドアレイLSIチップに対応するプリント配線基板におけるラン

ドと前記配線としてのバイヤホールに接続するため外方へ取り出された配線パターンとの間に製造工程において過大な引張応力が作用する部位のランドの前記配線パターンとの接続部に接続用断面積を大きくする補助ランドを形成して、前記接続部の応力集中を緩和することにより前記接続部における前記配線パターンの断線を防止するという効果を奏する。

図面の簡単な説明

図1は、本発明の第1実施形態のグリッドアレイLSIチップが実装された

請求の範囲

1. (補正後) プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイ L S I チップが配設されるグリッドアレイ電子部品において、

前記グリッドアレイ L S I チップに対応するプリント配線基板におけるランドと前記配線としての配線パターンとの間に過大な引張応力が作用する部位のランドの前記配線パターンとの接続部に補助ランドが形成されていることを特徴とするグリッドアレイ電子部品。

2. 前記補助ランドが、前記プリント配線基板に荷重が作用した時に該プリント配線基板の他に比べて過大な引張応力が作用する少なくとも一部に位置するランドに形成されていることを特徴とする請求項 1 記載のグリッドアレイ電子部品。

3. 前記補助ランドが、前記プリント配線基板における前記グリッドアレイ L S I チップのコーナー部に対応する部位に位置するランドに形成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

4. 前記補助ランドが、前記プリント配線基板における前記グリッドアレイ L S I チップに配設された I C チップの端部に対応する部位に位置するランドに形成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

5. 前記補助ランドが、前記グリッドアレイ電子部品のリフロー半田工程において発生した前記プリント配線基板の反りが生じている方向およびそれに近い方向に形成されている配線パターンに接続されるランドに形成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

6. 前記補助ランドが、発生した前記プリント配線基板の反りおよび歪みを矯正する矯正工程またはアッセンブリ工程において前記配線パターンに過大な引張応力が作用するランドに形成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

ことを特徴とする請求項 1 2 記載の配線強化方法。

1 4. グリッドアレイ電子部品を構成するプリント配線基板と該プリント配線基板に実装されるグリッドアレイ L S I チップとを配線パターンによって接続するグリッドアレイ電子部品の製造方法において、

前記グリッドアレイ L S I チップのコーナー部のランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドを形成することにより、前記配線パターンの接続部を強化したグリッドアレイ電子部品を製造することを特徴とするグリッドアレイ電子部品の製造方法。

1 5. 前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の接続部を強化したグリッドアレイ電子部品を製造する

ことを特徴とする請求項 1 4 記載のグリッドアレイ電子部品の製造方法。

1 6. (追加) プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイ L S I チップが配設されるグリッドアレイ電子部品において、

前記グリッドアレイ L S I チップに対応するプリント配線基板におけるランドと前記配線としてのバイヤホールに接続するため外方へ取り出された配線パターンとの間に製造工程において過大な引張応力が作用する部位のランドの前記配線パターンとの接続部に接続用断面積を大きくする補助ランドが形成されていることを特徴とするグリッドアレイ電子部品。

LSI chip having a large number of lands connected to a large number of lands through connecting means, the latter lands are connected to a wire of a printed wiring board, wherein an auxiliary land is formed at a connection portion of the land connecting a wiring pattern at portions where an excessive tensile stress is applied between the lands in the printed wiring board corresponding to the grid array LSI chip and the wiring pattern as the connecting means.

The grid array electronic component of the present invention (the second invention set forth in claim 2), according to claim 1, wherein the auxiliary land is formed at the land located on at least a portion where an excessive tensile stress as compared with another portion of the printed wiring board is applied when a load is applied to the printed wiring board.

The grid array electronic component of the present invention (the third invention set forth in claim 3), according to claim 2, wherein the auxiliary land is formed at the land located on a portion corresponding to a corner portion of the grid array LSI chip in the printed wiring board.

The grid array electronic component of the present invention (the fourth invention set forth in claim 4), according to claim 2, wherein the auxiliary land is formed at the land located on a portion corresponding to an end of an IC chip disposed in the grid array LSI chip in the printed wiring board.

The grid array electronic component of the present invention (the fifth invention set forth in claim 5), according to claim 2, wherein the auxiliary land is formed at the land connected to the wiring pattern which is formed in a direction in which a warpage of the printed wiring board is generated and in a direction closer to the former direction in a reflow soldering

VF 0371014
1/10/1944
104

a land of the printed wiring board corresponding to a land of a corner portion of the grid array LSI chip.

The producing method of a grid array electronic component of the present invention (the fifteenth invention set forth in claim 15), according to claim 14, wherein the grid array electronic component having the strengthened connection portion of the wire is produced by forming the auxiliary land on the connection portion of the wire and the via hole on the printed wiring board.

A grid array electronic component of the first invention having the above-described construction, in which a grid array LSI chip having a large number of lands connected to a large number of lands through connecting means, the latter lands are connected to a wire of a printed wiring board, wherein an auxiliary land is formed on a connection portion of the land connecting a wiring pattern at a portion where an excessive tensile stress is applied between the lands in the printed wiring board corresponding to the grid array LSI chip and the wiring pattern as the connecting means.

Therefore, the present invention provides the effect that by moderating the concentration of stress on the connection portion a break of the wiring pattern in the connection portion is prevented.

The grid array electronic component of the second invention having the above-described construction, according to the first invention, wherein the auxiliary land is formed at the land located on at least a portion where an excessive tensile stress as compared with another portion of the printed wiring board is applied when a load is applied to the printed wiring board. The present invention exhibits the effect that at least

connection portion of the wire at the side of the via hole on the print wiring board is produced by forming the auxiliary land at the connection portion of the wire and the via hole on the printed wiring board.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig.1 is a plan view showing a portion of a printed wiring board to which a grid array LSI chip of a first embodiment is mounted;

Fig.2 is a sectional view showing a state in which the grid array LSI chip of the first embodiment is mounted to a printed wiring board;

Fig.3 is a sectional view taken along a line A-A in Fig.1 showing a state in which the grid array LSI chip of the first embodiment is assembled on the printed wiring board;

Fig.4 is a plan view showing a portion of the printed wiring board to which a grid array LSI chip of a second embodiment of the present invention is mounted and showing a wire strengthening method;

Fig.5 is a sectional view taken along a line B-B in Fig.4 showing a state in which the grid array LSI chip of the second embodiment is assembled on the printed wiring board;

Fig.6 is a partially enlarged plan view showing a portion of a printed wiring board to which a grid array LSI chip of a third embodiment of the invention is mounted;

Fig.7 is a partially enlarged plan view showing a portion of a printed wiring board to which a grid array LSI chip of a fourth embodiment of the invention is mounted;

Fig.8 is a plan view showing a portion of a printed wiring board to which a grid array LSI chip of a fifth embodiment of the invention is mounted;

CLAIMS

1. A grid array electronic component in which a grid array LSI chip having a large number of lands connected to a large number of lands through connecting means, said latter lands are connected to a wire of a printed wiring board, wherein

an auxiliary land is formed at a connection portion of said land connecting a wiring pattern at a portion where an excessive tensile stress is applied between said lands on the printed wiring board corresponding to said grid array LSI chip and said wiring pattern as said connecting means.

2. The grid array electronic component according to claim 1, wherein

said auxiliary land is formed at said land located on at least a portion where an excessive tensile stress as compared with another portion of the printed wiring board is applied when a load is applied to said printed wiring board.

3. The grid array electronic component according to claim 2, wherein

said auxiliary land is formed at said land located on a portion corresponding to a corner portion of said grid array LSI chip in said printed wiring board.

4. The grid array electronic component according to claim 2, wherein

said auxiliary land is formed at the land located on a portion corresponding to an end of an IC chip disposed in said grid array LSI chip in said printed wiring board.

13. The wire strengthening method according to claim 12 wherein said connection portion of said wire is strengthened by forming the auxiliary land at said connection portion of said wire of a via hole on said printed wiring board.

14. A producing method of a grid array electronic component for connecting a printed wiring board constituting a grid array electronic component and a grid array LSI chip mounted to the printed wiring board to each other through a wiring pattern, wherein

the grid array electronic component having a strengthened connection portion of said wiring pattern is produced by forming an auxiliary land at a connection portion between said wire and a land on said printed wiring board corresponding to a land of a corner portion of said grid array LSI chip.

15. The producing method of a grid array electronic component according to claim 14, wherein

the grid array electronic component having the strengthened connection portion of said wire is produced by forming the auxiliary land at the connection portion of the wire and the via hole on the printed wiring board.

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 3 月 29 日 (29.03.2001)

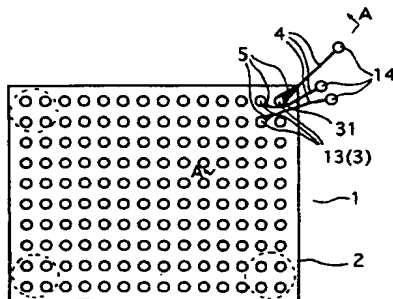
PCT

(10) 国際公開番号
WO 01/22488 A1

- (51) 国際特許分類⁷: H01L 23/12 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 藤井章一 (FUJII, Shouichi) [JP/JP], 中尾 昭 (NAKAO, Akira) [JP/JP]; 〒519-0393 三重県鈴鹿市伊船町1900番地 鈴鹿富士ゼロックス株式会社内 Mie (JP).
- (21) 国際出願番号: PCT/JP00/06462
- (22) 国際出願日: 2000 年 9 月 21 日 (21.09.2000)
- (25) 国際出願の言語: 日本語 (74) 代理人: 弁理士 高橋克彦 (TAKAHASHI, Katsuhiko); 〒458-0815 愛知県名古屋市長区徳重1丁目802番3 SAF 徳重1階 Aichi (JP).
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, GB, JP, US.
- (30) 優先権データ: 特願平11/268063 1999 年 9 月 22 日 (22.09.1999) JP 添付公開書類:
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): 鈴鹿富士ゼロックス株式会社 (SUZUKA FUJI XEROX CO., LTD.) [JP/JP]; 〒519-0393 三重県鈴鹿市伊船町1900番地 Mie (JP). 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: GRID ARRAY ELECTRONIC COMPONENT, WIRE REINFORCING METHOD FOR THE SAME, AND METHOD OF MANUFACTURING THE SAME

(54) 発明の名称: グリッドアレイ電子部品およびその配線強化方法ならびにその製造方法



(57) Abstract: A grid array electronic component, having a grid array LSI chip (2) provided with a plurality of lands (3) connected via connecting means (30) to a plurality of lands (13) which are connected to the wiring (4) of a printed wiring board (1), wherein auxiliary lands (5) are formed on connection parts (31), for connection of the lands (13) of the printed wiring board (1) corresponding to the lands (3) to the wiring (4), at corner parts of the grid array LSI chip (2), and thus, stress concentration on the connection part (31) is relaxed and disconnection of the connection parts (31) can be prevented.

(57) 要約:

プリント配線基板 1 の配線 4 に接続された多数のランド 1 3 に接続手段 3 0 を介して接続される多数のランド 3 を備えたグリッドアレイ L S I チップ 2 が配設されるグリッドアレイ電子部品において、前記グリッドアレイ L S I チップ 2 のコーナー部の前記ランド 3 に対応する前記プリント配線基板 1 の前記ランド 1 3 の前記配線 4 との接続部 3 1 に補助ランド 5 が形成され、接続部 3 1 の応力集中が緩和され接続部 3 1 の断線が防止されるグリッドアレイ電子部品およびその製造方法ならびに配線強化方法。

明細書

グリッドアレイ電子部品およびその配線強化方法ならびにその製造方法

技術分野

本発明は、プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイLSIチップが配設されるグリッドアレイ電子部品において、前記グリッドアレイLSIチップのコーナー部の前記ランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドが形成されているグリッドアレイ電子部品およびその配線強化方法に関する。

背景技術

従来のグリッドアレイ電子部品は、図18(A)に示されるようにプリント配線基板KのバイヤホールBと該プリント配線基板Kに実装されるグリッドアレイLSIチップPの多数のランドに対応するプリント配線基板KのランドLとが配線パターンHを介して直接接続されるものであった。

また従来のランドを有する配線基板（特開平8-213730（熱膨張差に基づく割れによる断線の改良）、実開昭61-201374、実開昭62-184783（配線の高密度化に対応したランド形状の改良）、特公昭56-22151等）は、図19に示されるようにスルーホールTHの回りの一部または全部に補助ランドALを形成して、スルーホールTHがずれて形成されても接続性を確保するものであった。

さらに従来のプリント配線基板（特開平1-115195、特許2519068、特開平11-54859、特開昭64-84875）においては、ガラスエポキシその他のプリント基板におけるランドの電氣的導通性の確保および断線の

危険性を回避するためティアドロップが付加されると、ランドの全体面積が大きくなるので、ティアドロップを付加しない場合と比較して高密度化が図れないとともに、ティアドロップが他の導体回路と所定の絶縁間隔が取れないという問題があるために、図20に示されるようにランドL1に対して偏心させて、ラインの片側、あるいは左右非対称にティアドロップTDを形成するものであった。

また従来のボールグリッドアレイパッケージの実装構造（特開平10-335516）は、図21に示されるように四角形状のボールグリッドアレイパッケージの設置領域の四隅のビアホールBH内に閉じ込められた空気によるボイドに基づく半田接合力の低下による半田付け熱疲労寿命の低下を回避するために、ビアホール用パッドBHに代えて平面パッドPPを設置するものであった。

上記従来のグリッドアレイ電子部品は、前記プリント配線基板KのバイヤホールBと該プリント配線基板Kに実装されるグリッドアレイLSIチップPの多数のランドに対応するプリント配線基板KのランドLとが配線パターンHを介して直接接続されるものであるので、プリント配線基板Kに荷重が作用すると、前記配線パターンHの断線が生ずる。

すなわち前記プリント配線基板Kに反りおよび歪みが発生すると、前記配線パターンHと前記プリント配線基板KのバイヤホールBと前記グリッドアレイLSIチップのランドに対応するプリント配線基板KのランドLとの接続部に大きな応力が作用するため、前記配線パターンHの前記接続部において断線が生じていた。

また従来のランドを有する配線基板は、図19に示されるようにスルーホールTHの回りの一部または全部に補助ランドALを形成して、スルーホールTHがずれて形成されても接続性を確保するものであるので、ピン間2.54mmピングリッドアレイ(PGA)に関する技術であり、1.27mmピッチの半田ボールがLSI素子の下面に多数配設されるボールグリッドアレイLSIチップのBGAに関する技術ではないのである。

さらに上記従来のプリント配線基板においては、厚さ1mmのガラスエポキシその他のプリント基板におけるランドの応力集中を緩和するためティアドロップ

が付加されると、ランドの全体面積が大きくなるので、ティアドロップを付加しない場合と比較して高密度化が図れないとともに、ティアドロップが他の導体回路と所定の絶縁間隔が取れないという問題があるために、ランドL1に対して偏心させて、ラインの片側、あるいは左右非対称にティアドロップTDを形成するものであるが、隣り合うランドL1、L2の間に2本のリードD1、D2が介在形成されているものであって、表面実装型の1.27mmピッチの半田ボールがLSI素子の下面に多数配設されるボールグリッドアレイ(BGA)の一世代前の技術と判断される。

しかも上記従来のプリント配線基板においては、ボールグリッドアレイタイプのLSIチップが実装されるプリント配線基板に荷重が作用した時における配線パターンの断線を防止するものではないので、プリント基板に半田付けされるLSI素子、プリント基板のランドのピッチ、リード等の配線パターン等において異なるものである。

また上記従来のボールグリッドアレイパッケージの実装構造は、四角形状のボールグリッドアレイパッケージの設置領域の四隅のビアホールBH内に閉じ込められた空気によるボイドに基づく半田接合力の低下による半田付け熱疲労寿命の低下を回避するために、ビアホール用パッドBHに代えて平面パッドPPを設置するものであって、ボールグリッドアレイタイプのLSIチップが実装されるプリント配線基板に荷重が作用した時における配線パターンの断線を防止するものではないので、当然のことながら配線パターンが断線するランドに補助ランドを設けるものではないのである。

発明の開示

そこで本発明者は、図18(A)に示されるボールグリッドアレイタイプのLSIチップを実装するプリント配線基板の配線パターンの断線による配線不良を分析したところ、リフロー半田付け工程において発生したプリント配線基板の反りおよび歪みを矯正する矯正工程またはプリント配線基板の組み付け工程において断線が生ずることを見出した。

しかも本発明者は、断線が生ずる部位としては、図 18 (B) に示されるようにランド L と配線パターン P との接続部 C の約 1 mm 前後の範囲の間であり、またボールグリッドアレイタイプの L S I チップ断線が生ずる領域としては、ボールグリッドアレイタイプの L S I チップのコーナー部や、I C チップの端部のようなプリント配線基板におけるランドと前記接続手段としての配線パターンとの間に過大な引張応力が作用する領域（部位）であることを発見した。

上記配線不良とは、推測するにボールグリッドアレイタイプの L S I チップのプリント配線基板への半田付け接合時に加熱および自重によってプリント配線基板に反りおよび歪みが発生し、かかるプリント配線基板の反りおよび歪みが矯正される際にボールグリッドアレイタイプの L S I チップのコーナー部や、I C チップの端部付近において矯正量または作用する応力が最大となり、このためランドと配線パターンとの間の接続部に過大な応力が作用し、破断に至るものと推測される。プリント配線基板の組み付け工程その他のプリント配線基板に過大な荷重が作用した際における断線も同様と推測される。

そこで本発明者は、プリント配線基板に荷重が作用した時にプリント配線基板におけるランドと前記接続手段としての配線パターンとの間に過大な引張応力が作用する領域（部位）のランドの前記配線パターンとの接続部に補助ランドを形成する本発明に至ったのである。

また本発明者は、プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイ L S I チップが配設されるグリッドアレイ電子部品において、前記プリント配線基板に荷重が作用した時前記グリッドアレイ L S I チップに対応するプリント配線基板におけるランドと前記接続手段としての配線パターンとの間に過大な応力が作用する部位のランドの前記配線パターンとの接続部に補助ランドを形成して、前記接続部の応力集中を緩和するという本発明の技術的思想に着眼し、更に研究開発を重ねた結果、前記プリント配線基板に荷重が作用した時の前記接続部における前記配線パターンの断線を防止するという目的を達成する本発明に到達した。

本発明（請求項 1 に記載の第 1 発明）のグリッドアレイ電子部品は、

プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイ L S I チップが配設されるグリッドアレイ電子部品において、

前記グリッドアレイ L S I チップに対応するプリント配線基板におけるランドと前記接続手段としての配線パターンとの間に過大な引張応力が作用する部位のランドの前記配線パターンとの接続部に補助ランドが形成されているものである。

本発明（請求項 2 に記載の第 2 発明）のグリッドアレイ電子部品は、
前記第 1 発明において、

前記補助ランドが、前記プリント配線基板に荷重が作用した時に該プリント配線基板の他に比べて過大な引張応力が作用する少なくとも一部に位置するランドに形成されているものである。

本発明（請求項 3 に記載の第 3 発明）のグリッドアレイ電子部品は、
前記第 2 発明において、
前記補助ランドが、前記プリント配線基板における前記グリッドアレイ L S I チップのコーナー部に対応する部位に位置するランドに形成されているものである。

本発明（請求項 4 に記載の第 4 発明）のグリッドアレイ電子部品は、
前記第 2 発明において、
前記補助ランドが、前記プリント配線基板における前記グリッドアレイ L S I チップに配設された I C チップの端部に対応する部位に位置するランドに形成されているものである。

本発明（請求項 5 に記載の第 5 発明）のグリッドアレイ電子部品は、
前記第 2 発明において、
前記補助ランドが、前記グリッドアレイ電子部品のリフロー半田工程において発生した前記プリント配線基板の反りが生じている方向およびそれに近い方向に形成されている配線パターンに接続されるランドに形成されている

ものである。

本発明（請求項 6 に記載の第 6 発明）のグリッドアレイ電子部品は、
前記第 2 発明において、

前記補助ランドが、発生した前記プリント配線基板の反りおよび歪みを矯正する矯正工程またはアッセンブリ工程において前記配線パターンに過大な引張応力が作用するランドに形成されている

ものである。

本発明（請求項 7 に記載の第 7 発明）のグリッドアレイ電子部品は、
前記第 2 発明において、

前記補助ランドが、前記グリッドアレイ L S I チップの前記一部のランドに対応する前記プリント配線基板のランドから前記配線パターンに至るまでの接続用断面積が徐々に変化するように構成されている

ものである。

本発明（請求項 8 に記載の第 8 発明）のグリッドアレイ電子部品は、
前記第 3 発明において、

前記補助ランドが、前記グリッドアレイ L S I チップの前記コーナー部のランドに対応する前記プリント配線基板のランドの位置に応じて異なった形状の補助ランドによって構成されている

ものである。

本発明（請求項 9 に記載の第 9 発明）のグリッドアレイ電子部品は、
前記第 3 発明において、

前記補助ランドが、前記グリッドアレイ L S I チップのコーナー部の端部に近いランドに対応する前記プリント配線基板のランドほどその接続用断面積の平均値が大きくなるように構成されている

ものである。

本発明（請求項 10 に記載の第 10 発明）のグリッドアレイ電子部品は、
前記第 2 発明において、

前記補助ランドが、前記プリント配線基板を構成する多層プリント配線基板の内層のプリント配線基板上の配線パターンに接続されるスルーホールの回りの接

続部に形成されている

ものである。

本発明（請求項 1 1 に記載の第 1 1 発明）のグリッドアレイ電子部品は、
前記第 3 発明において、

前記グリッドアレイ L S I チップのコーナー部に対応する前記プリント配線基板の前記補助ランドが形成された前記ランドに接続された前記配線パターンが、
プリント配線基板のバイヤホールの補助ランドが形成された接続部に接続されている

ものである。

本発明（請求項 1 2 に記載の第 1 2 発明）の配線強化方法は、

グリッドアレイ電子部品を構成するプリント配線基板と該プリント配線基板に実装されるグリッドアレイ L S I チップとを接続する配線において、

前記グリッドアレイ L S I チップのコーナー部のランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドを形成することにより、
前記配線の接続部を強化した

ものである。

本発明（請求項 1 3 に記載の第 1 3 発明）の配線強化方法は、

前記第 1 2 発明において、

前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の接続部を強化した

ものである。

本発明（請求項 1 4 に記載の第 1 4 発明）のグリッドアレイ電子部品の製造方法は、

グリッドアレイ電子部品を構成するプリント配線基板と該プリント配線基板に実装されるグリッドアレイ L S I チップとを配線パターンによって接続するグリッドアレイ電子部品の製造方法において、

前記グリッドアレイ L S I チップのコーナー部のランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドを形成することにより、
前記配線パターンの接続部を強化したグリッドアレイ電子部品を製造する

ものである。

本発明（請求項 15 に記載の第 15 発明）のグリッドアレイ電子部品の製造方法は、

前記第 14 発明において、

前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の接続部を強化したグリッドアレイ電子部品を製造する
ものである。

上記構成より成る第 1 発明のグリッドアレイ電子部品は、プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイ L S I チップが配設されるグリッドアレイ電子部品において、前記グリッドアレイ L S I チップに対応するプリント配線基板におけるランドと前記接続手段としての配線パターンとの間に過大な引張応力が作用する部位のランドの前記配線パターンとの接続部に補助ランドを形成して、前記接続部の応力集中を緩和することにより前記接続部における前記配線パターンの断線を防止するという効果を奏する。

上記構成より成る第 2 発明のグリッドアレイ電子部品は、前記第 1 発明において、前記補助ランドが、前記プリント配線基板に荷重が作用した時に該プリント配線基板の他に比べて過大な引張応力が作用する少なくとも一部に位置するランドに形成されているので、過大な引張応力が作用する少なくとも前記一部に位置する前記ランドと前記配線パターンとの前記接続部の応力集中を緩和することにより、前記接続部における前記配線パターンの断線を防止するという効果を奏する。

上記構成より成る第 3 発明のグリッドアレイ電子部品は、前記第 2 発明において、前記補助ランドが、前記プリント配線基板に荷重が作用した時に該プリント配線基板の他に比べて過大な引張応力が作用する前記プリント配線基板における前記グリッドアレイ L S I チップのコーナー部に対応する部位に位置するランドに形成されているので、前記グリッドアレイ L S I チップのコーナー部に対応す

る部位に位置する前記ランドと前記配線パターンとの前記接続部の応力集中を緩和することにより、前記接続部における前記配線パターンの断線を防止するという効果を奏する。

上記構成より成る第4発明のグリッドアレイ電子部品は、前記第2発明において、前記補助ランドが、前記プリント配線基板における前記グリッドアレイLSIチップに配設されたICチップの端部に対応する部位に位置するランドに形成されているので、前記ICチップの端部に対応する前記部位に位置する前記ランドと前記配線パターンとの前記接続部の応力集中を緩和することにより、前記接続部における前記配線パターンの断線を防止するという効果を奏する。

上記構成より成る第5発明のグリッドアレイ電子部品は、前記第2発明において、前記補助ランドが、前記グリッドアレイ電子部品のリフロー半田工程において発生した前記プリント配線基板の反りが生じている方向およびそれに近い方向に形成されている配線パターンに接続されるランドに形成されているので、前記プリント配線基板の反りに伴う過大な引張応力が作用する前記ランドと前記配線パターンとの前記接続部の応力集中を緩和することにより、前記接続部における前記配線パターンの断線を防止するという効果を奏する。

上記構成より成る第6発明のグリッドアレイ電子部品は、前記第2発明において、前記補助ランドが、発生した前記プリント配線基板の反りおよび歪みを矯正する矯正工程またはアッセンブリ工程において前記配線パターンに過大な引張応力が作用するランドに形成されているので、前記矯正工程またはアッセンブリ工程において前記配線パターンに過大な引張応力が作用する前記ランドと前記配線パターンとの前記接続部の応力集中を緩和することにより、前記接続部における前記配線パターンの断線を防止するという効果を奏する。

上記構成より成る第7発明のグリッドアレイ電子部品は、前記第2発明において、前記補助ランドが、前記グリッドアレイLSIチップのコーナー部の前記ランドに対応する前記プリント配線基板のランドから前記配線パターンに至るまでの接続用断面積が徐々に変化するので、前記プリント配線基板に反りおよび歪みが発生した時における前記接続部の応力集中を有効に緩和することにより、前記接続部における前記配線パターンの断線を確実に防止するという効果を奏する。

上記構成より成る第 8 発明のグリッドアレイ電子部品は、前記第 3 発明において、前記補助ランドが、前記グリッドアレイ L S I チップのコーナー部の前記ランドに対応する前記プリント配線基板のランドの位置に応じて異なった形状の補助ランドによって構成されているので、前記グリッドアレイ電子部品のコーナー部における前記ランドと前記配線パターンとの前記接続部に作用する引張応力および前記プリント配線基板のパターンの形状を考慮した形状とすることにより、前記接続部の応力集中を緩和することにより、前記接続部における前記配線の断線を防止するという効果を奏する。

上記構成より成る第 9 発明のグリッドアレイ電子部品は、前記第 3 発明において、前記補助ランドが、前記グリッドアレイ L S I チップのコーナー部の端部に近いランドに対応する前記プリント配線基板のランドほどその接続用断面積の平均値が大きくなるように構成されているので、前記補助ランドが前記プリント配線基板に荷重が作用した時における前記接続部に作用する応力に応じた平均値の接続用断面積を備えているため、前記コーナー部の前記ランドの強度を一様にするとともに、信頼性を高めるという効果を奏する。

上記構成より成る第 10 発明のグリッドアレイ電子部品は、前記第 2 発明において、前記補助ランドが、前記プリント配線基板を構成する多層プリント配線基板の内層のプリント配線基板上の配線パターンに接続されるスルーホールの回りの接続部に形成されているので、前記多層プリント配線基板の前記内層のプリント配線基板上の前記スルーホールと前記配線パターンとの前記接続部の応力集中を緩和することにより、前記接続部における前記配線の断線を防止するという効果を奏する。

上記構成より成る第 11 発明のグリッドアレイ電子部品は、前記第 3 発明において、前記グリッドアレイ L S I チップのコーナー部に対応する前記プリント配線基板の前記補助ランドが形成された前記ランドに接続された前記配線パターンが、プリント配線基板のバイヤホール補助ランドが形成された接続部に接続されているので、前記プリント配線基板に荷重が作用した時における前記プリント配線基板のバイヤホール前記接続部の応力集中を緩和することにより、前記プリント配線基板のバイヤホール前記接続部における前記配線の断線を防止する

という効果を奏する。

上記構成より成る第 1 2 発明の配線強化方法は、グリッドアレイ電子部品を構成するプリント配線基板と該プリント配線基板に実装されるグリッドアレイ L S I チップとを接続する配線において、前記グリッドアレイ L S I チップのコーナー部のランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドを形成することにより、前記配線の接続部を強化したので、前記配線の前記プリント配線基板のランド側の一端の断線を防止するという効果を奏する。

上記構成より成る第 1 3 発明の配線強化方法は、前記第 1 2 発明において、前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の前記プリント配線基板のバイヤホール側の前記接続部も強化したので、前記配線の前記両端の断線を防止するという効果を奏する。

上記構成より成る第 1 4 発明のグリッドアレイ電子部品の製造方法は、グリッドアレイ電子部品を構成するプリント配線基板と該プリント配線基板に実装されるグリッドアレイ L S I チップとを配線パターンによって接続するグリッドアレイ電子部品の製造方法において、前記グリッドアレイ L S I チップのコーナー部のランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドを形成することにより、前記配線パターンの前記プリント配線基板のランド側の前記接続部を強化したグリッドアレイ電子部品の製造を可能にするという効果を奏する。

上記構成より成る第 1 5 発明のグリッドアレイ電子部品の製造方法は、前記第 1 4 発明において、前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の前記プリント配線基板のバイヤホール側の前記接続部も強化したグリッドアレイ電子部品の製造を可能にするという効果を奏する。

図面の簡単な説明

図 1 は、本発明の第 1 実施形態のグリッドアレイ L S I チップが実装された

プリント配線基板の一部を示す平面図である。

図2は、本第1実施形態のグリッドアレイLSIチップがプリント配線基板に載置された状態を示す断面図である。

図3は本第1実施形態のグリッドアレイLSIチップがプリント配線基板にアッセンブリされた状態を示す図1中A-A線に沿う断面図である。

図4は、本発明の第2実施形態のグリッドアレイLSIチップが実装されたプリント配線基板の一部および配線強化方法を示す平面図である。

図5は、本第2実施形態のグリッドアレイLSIチップがプリント配線基板にアッセンブリされた状態を示す図4中B-B線に沿う断面図である。

図6は、本発明の第3実施形態のグリッドアレイLSIチップが実装されたプリント配線基板の一部を示す部分拡大平面図である。

図7は、本発明の第4実施形態のグリッドアレイLSIチップが実装されたプリント配線基板の一部を示す部分拡大平面図である。

図8は、本発明の第5実施形態のグリッドアレイLSIチップが実装されたプリント配線基板の一部を示す平面図である。

図9は、本第5実施形態におけるグリッドアレイLSIチップをプリント配線基板に実装し、組み付けるまでの各工程を説明するための説明図である。

図10は、本発明の第6実施形態のグリッドアレイLSIチップが実装されたプリント配線基板を示す平面図である。

図11は、本発明の第7実施形態のグリッドアレイLSIチップが実装されたプリント配線基板が反った状態を示すインサーキットテスターの正面から見た正面図である。

図12は、本第7実施形態におけるのグリッドアレイLSIチップが実装されたプリント配線基板のインサーキットテスター内における状態を示すインサーキットテスターの正面から見た正面図である。

図13は、本発明の第8実施形態のグリッドアレイLSIチップが実装される多層プリント配線基板の内部構造を示す断面図である。

図14は、本第8実施形態の第1層のプリント配線基板上におけるランド、配線パターンおよびバイアホールを示す部分平面図である。

図 15 は、本第 8 実施形態の第 2 層のプリント配線基板上におけ配線パターンおよびバイアホールを示す部分平面図である。

図 16 は、本発明におけるその他の補助ランドの形状を示す部分拡大図である。

図 17 は、本発明の第 8 実施形態の変形例におけるグリッドアレイ L S I チップが実装される多層プリント配線基板の内部構造を示す断面図である。

図 18 は、従来のグリッドアレイ L S I チップが実装されたプリント配線基板を示す平面図である。

図 19 は、従来のランドを有する配線基板を示す部分平面図である。

図 20 は、従来のプリント配線基板を示す部分平面図である。

図 21 は、従来のボールグリッドアレイパッケージの実装構造を示す部分断面図である。

発明を実施するための最良の形態

以下本発明の実施の形態につき、図面を用いて説明する。

(第 1 実施形態)

本第 1 実施形態のグリッドアレイ電子部品は、図 1 ないし図 3 に示されるようにプリント配線基板 1 の配線 4 に接続された多数のランド 13 に接続手段 30 を介して接続される多数のランド 3 を備えたグリッドアレイ L S I チップ 2 が配設されるグリッドアレイ電子部品において、前記グリッドアレイ L S I チップ 2 のコーナー部の前記ランド 3 に対応する前記プリント配線基板 1 の前記ランド 13 の前記配線 4 との接続部 31 に補助ランド 5 が形成されているものである。

前記グリッドアレイ L S I チップ 2 は、本第 1 実施形態においては、図 2 に示されるように一例として碁盤目状に配設したランド 3 に前記接続手段 30 としての半田ボール 30 が配設されたボールグリッドアレイ L S I チップを用いる。前記グリッドアレイ L S I チップ 2 は、ボールグリッドアレイ L S I チップ以外に

、シリコンウエハに直接半田ボールを配設するリアルチップサイズを実現した表面実装可能なKGDパッケージのSuperCSPその他を含むチップサイズパッケージを採用することが出来る。

前記グリッドアレイLSIチップ2を構成する前記ボールグリッドアレイLSIチップにおける基盤目状に配設されたランド3に配設されている前記接続手段30としての球状形状の半田ボール30が、アセンブリ工程において、図3に示されるように球状形状の半田ボール30が鼓状形状に変形するとともに前記ボールグリッドアレイLSIチップの前記ランド3と対応するプリント配線基板1のランド13とが溶着して電氣的に接続される。

前記補助ランド5を構成するティアドロップが、図1に示されるように前記グリッドアレイLSIチップ2の代表的に詳細に示した右上のコーナー部の前記ランド3から前記配線4を構成する配線パターンに至るまでの接続用断面積が直線状に徐々に減少するすなわち扇形状に構成されているものである。

前記配線4を構成する配線パターンは、図3に示されるように前記プリント配線基板1に形成されたバイヤホール14に接続され、その上部にレジスト15が塗布されている。

前記補助ランド5を構成する補強用の前記ティアドロップが、図1に示されるように前記グリッドアレイLSIチップ2のコーナー部の前記ランド3に対応する前記プリント配線基板1の前記ランド13の位置に応じて異なった形状およびサイズの補助ランドによって構成されているものである。

すなわち前記補助ランド5を構成する前記ティアドロップが、前記グリッドアレイLSIチップ2のコーナー部の端部に近い前記ランド3に対応する前記プリント配線基板1の前記ランド13ほどその接続用断面積の平均値が大きくなるように構成されているものであり、コーナー部の端部に近い位置に対応する前記ランド13に形成される前記ティアドロップほど、その幅および長手方向の長さが長く形成されている。

上記構成より成る本第1実施形態のグリッドアレイ電子部品は、プリント配線基板1に多数のランド13および配線を介して接続されるグリッドアレイLSIチップ2が配設されるグリッドアレイ電子部品において、該グリッドアレイLSI

Iチップ2のコーナー部の前記ランド3に対応する前記プリント配線基板1のランド13の前記配線4を構成する配線パターンとの前記接続部31に補助ランド5を構成する前記ティアドロップが形成されているので、リフロー半田付け工程において前記プリント配線基板1に反りおよび歪みが発生した時における前記プリント配線基板1の反りを矯正する矯正工程およびアッセンブリ工程において前記プリント配線基板1に荷重が作用して、前記ランド3と前記配線パターン4との前記接続部31に引張応力が作用した時の前記接続部31の応力集中を緩和するものである。

すなわち引張応力が作用した時の前記接続部31の応力集中を緩和するとは、前記ランド3と前記配線パターン4との前記接続部31に幅が長手方向において徐々に減少する前記補助ランド5を形成したことにより前記接続部31の引張応力が作用する面積（断面積）を拡大して、単位面積あたりに作用する引張応力を低減し、局所的に大きな引張応力が作用することを防止するとともに、前記接続部31における面積（断面積）の急激な変化を無くして引張応力の急激な変化を無くしたことにより、前記接続部31が強化され、応力が作用しても容易に断線することがないようにすることである。

上記作用を奏する本第1実施形態のグリッドアレイ電子部品は、前記グリッドアレイLSIチップ2のコーナー部の前記ランド3に対応する前記プリント配線基板1のランド13の前記配線4を構成する配線パターンとの前記接続部31に補助ランド5を構成する前記ティアドロップが形成されているので、矯正工程およびアッセンブリ工程において前記プリント配線基板1に荷重が作用して、前記ランド3と前記配線パターン4との前記接続部31に引張応力が作用した時の前記接続部31の応力集中を緩和することにより、前記接続部における前記配線の断線を防止するという効果を奏する。

また本第1実施形態のグリッドアレイ電子部品は、前記補助ランド5が、前記グリッドアレイLSIチップ2のコーナー部の前記ランド3に対応する前記プリント配線基板1のランド13から前記配線4に至るまでの接続用断面積が徐々に変化するので、前記プリント配線基板1に反りおよび歪みが発生した時の矯正工程およびアッセンブリ工程において前記プリント配線基板1に荷重が作用して、

前記ランド 3 と前記配線パターン 4 との前記接続部 3 1 に引張応力が作用した時の前記接続部 3 1 の応力集中を有効に緩和することにより、前記接続部における前記配線の断線を確実に防止するという効果を奏する。

さらに第 1 実施形態のグリッドアレイ電子部品は、前記補助ランド 5 が、前記グリッドアレイ L S I チップ 2 のコーナー部の前記ランド 3 に対応する前記プリント配線基板 1 の前記ランド 1 3 の位置に応じて異なった形状の前記ティアドロップによって構成されているので、前記グリッドアレイ電子部品のコーナー部における前記ランドと前記配線パターンとの前記接続部に作用する引張応力および前記グリッドアレイ電子部品のコーナー部に対応する前記プリント配線基板のパターンの形状を考慮した形状とすることにより、前記接続部 3 1 の応力集中を緩和することにより、前記接続部 3 1 における前記配線の断線を防止するという効果を奏する。

また第 1 実施形態のグリッドアレイ電子部品は、前記補助ランド 5 を構成する前記ティアドロップが、前記グリッドアレイ L S I チップ 2 のコーナー部の端部に近い前記ランドに対応する前記プリント配線基板 1 の前記ランド 1 3 ほどその接続用断面積の平均値が大きくなるように構成されているので、前記補助ランド 5 を構成する前記ティアドロップが前記プリント配線基板 1 に荷重が作用した時における前記接続部 3 1 に作用する応力に応じた平均値の接続用断面積を備えているため、前記コーナー部に対応する前記プリント配線基板 1 の前記ランド 1 3 の強度を一様にするとともに、信頼性を高めるという効果を奏する。

(第 2 実施形態)

本第 2 実施形態のグリッドアレイ電子部品およびその製造方法ならびに配線強化方法は、図 4 および図 5 に示されるようにプリント配線基板 1 のバイヤホール 1 4 にも補助ランド 5 1 が形成される点が前記第 1 実施形態との相違点であり、以下相違点を中心に説明する。

本第 2 実施形態のグリッドアレイ電子部品は、図 4 および図 5 に示されるように前記グリッドアレイ L S I チップ 2 のコーナー部に対応する前記プリント配線

基板 1 の半円形の前記補助ランド 5 が形成された前記ランド 1 3 に接続された前記配線 4 (パターン) が、前記プリント配線基板 1 のバイヤホール 1 4 に半円形の補助ランド 5 1 が形成された接続部 3 2 に接続されている。

本第 2 実施形態の配線強化方法およびグリッドアレイ電子部品の製造方法は、プリント配線基板 1 と該プリント配線基板 1 に実装されるグリッドアレイ L S I チップ 2 とを接続する配線 4 において、前記グリッドアレイ L S I チップ 2 のコーナー部の前記ランド 3 に対応する前記プリント配線基板 1 の前記ランド 1 3 と前記配線 4 との接続部 3 1 に補助ランド 5 を形成するとともに、前記プリント配線基板 1 のバイヤホール 1 4 と前記配線 4 との接続部 3 2 に補助ランド 5 1 を形成することにより、前記配線パターン 4 の接続部 3 2 を強化するとともに、前記配線パターン 4 の接続部 3 2 を強化したグリッドアレイ電子部品の製造するものである。

上記構成より成る本第 2 実施形態のグリッドアレイ電子部品は、前記グリッドアレイ L S I チップ 2 のコーナー部の前記ランド 3 に対応する前記プリント配線基板 1 のランド 1 3 に形成された前記補助ランド 3 に接続された前記配線 4 が、前記プリント配線基板 1 の前記バイヤホール 1 4 の前記補助ランド 5 1 が形成された前記接続部 3 2 に接続されているので、前記プリント配線基板 1 に荷重が作用した時における前記プリント配線基板 1 のバイヤホール 1 4 の前記接続部 3 2 の応力集中を緩和するものである。

上記作用を奏する本第 2 実施形態のグリッドアレイ電子部品は、前記プリント配線基板 1 のランド 1 3 に形成された前記補助ランド 3 に接続された前記配線 4 が、前記プリント配線基板 1 の前記バイヤホール 1 4 の前記補助ランド 5 1 が形成された前記接続部 3 2 に接続されているので、前記プリント配線基板 1 に荷重が作用して反りおよび歪みが発生した時における前記プリント配線基板 1 のバイヤホール 1 4 の前記接続部 3 2 の応力集中を緩和することにより、前記プリント配線基板 1 の前記バイヤホール 1 4 の前記接続部 3 2 における前記配線 4 の断線を防止するという効果を奏する。

本第 2 実施形態のグリッドアレイ電子部品は、前記プリント配線基板 1 の前記ランド 1 3 と前記バイヤホール 1 4 との距離が短いすなわち前記配線 4 が短い場

合には、前記バイヤホール 1 4 と前記配線 4 との接続部に大きな応力が作用する可能性があるため、前記補助ランド 5 1 が有効である。

本第 2 実施形態の配線強化方法およびグリッドアレイ電子部品の製造方法は、前記プリント配線基板 1 と該プリント配線基板 1 に実装されるグリッドアレイ L S I チップ 2 とを接続する配線 4 において、前記グリッドアレイ L S I チップ 2 のコーナー部の前記ランド 3 に対応する前記プリント配線基板 1 の前記ランド 1 3 の前記配線 4 との前記接続部 3 1 に前記補助ランド 5 を形成するとともに、前記プリント配線基板 1 の前記バイヤホール 1 4 の前記配線 4 との前記接続部 3 2 に前記補助ランド 5 1 を形成することにより、前記配線 4 の両端の前記接続部 3 1、3 2 を強化して、前記配線 4 の前記両端の断線を防止するという効果を奏するとともに、前記配線 4 の前記両端の断線を防止したグリッドアレイ電子部品の製造を可能にするという効果を奏する。

(第 3 実施形態)

本第 3 実施形態のグリッドアレイ電子部品は、図 6 に示されるように中央の矩形領域はボールグリッドが配設されていない額縁状のグリッドアレイ L S I チップ 2 に本発明を適用した点が前記第 1 実施形態との相違点であり、以下相違点を中心に説明する。

前記額縁状のグリッドアレイ L S I チップ 2 の四隅のコーナー部の前記ランド 3 に対応する前記プリント配線基板 1 の前記ランド 1 3 の放射状に外方へ取り出された前記配線パターン 4 との接続部 3 1 に補助ランド 5 が形成されているものである。

また本第 3 実施形態においては、図 6 に示されるように前記額縁状のグリッドアレイ L S I チップ 2 の内側のランド 1 3 からは、前記配線パターン 4 が内方へ取り出されている。

上記構成より成る本第 3 実施形態のグリッドアレイ電子部品は、前記グリッドアレイ L S I チップ 2 のコーナー部の前記ランド 3 に対応する前記プリント配線基板 1 のランド 1 3 の前記配線 4 を構成する外方に取り出された配線パターンと

の前記接続部 3 1 に補助ランド 5 を構成する前記ティアドロップが形成されているので、前記プリント配線基板 1 に荷重が作用して、前記ランド 3 と前記配線パターン 4 との前記接続部 3 1 に引張応力が作用した時の前記接続部 3 1 の応力集中を緩和することにより、前記接続部 3 1 における前記配線パターン 4 の断線を防止するという効果を奏する。

(第 4 実施形態)

本第 4 実施形態のグリッドアレイ電子部品は、図 7 に示されるように前記額縁状のグリッドアレイ L S I チップ 2 の四隅のコーナー部の前記ランド 3 に対応する前記プリント配線基板 1 において前記配線パターン 4 が前記ランド 1 3 から放射状に内方へ取り出される点が前記第 3 実施形態との相違点であり、以下相違点を中心に説明する。

すなわち前記額縁状のグリッドアレイ L S I チップ 2 のコーナー部の前記ランド 1 3 から放射状内方へ取り出され中央部のスルーホール（図示せず）に接続される前記配線パターン 4 と前記ランド 1 3 との接続部 3 1 に補助ランド 5 が形成されているのである。

上記構成より成る本第 4 実施形態のグリッドアレイ電子部品は、前記グリッドアレイ L S I チップ 2 のコーナー部の前記ランド 1 3 に対応する前記プリント配線基板 1 のランド 1 3 の前記配線 4 を構成する内方に取り出された配線パターンとの前記接続部 3 1 に補助ランド 5 を構成する前記ティアドロップが形成されているので、前記プリント配線基板 1 に荷重が作用して、前記ランド 1 3 と前記配線パターン 4 との前記接続部 3 1 に引張応力が作用した時の前記接続部 3 1 の応力集中を緩和することにより、前記接続部 3 1 における前記配線パターン 4 の断線を防止するという効果を奏する。

(第 5 実施形態)

本第 5 実施形態のグリッドアレイ電子部品は、図 8 に示されるように前記補助

ランド5が、前記グリッドアレイ電子部品のリフロー半田付け工程において発生した前記プリント配線基板1の反りが生じている方向（図8において一点鎖線で示される）およびそれに近い方向に形成されている配線パターン4に接続されるランド3に形成されている点が上述した実施形態との相違点であり、以下相違点を中心に説明する。

本第5実施形態においては、図9（A）に示されるように平行に配設されたコンベアフレームに幅方向の両端を係止してプリント配線基板1を載置して、スクリーン印刷板を載せ、クリーム半田を印刷塗布する。

次に図9（B）に示されるようにクリーム半田が印刷塗布されたプリント配線基板1の上面およびまたは下面にグリッドアレイ電子部品2がマウンターによって実装される。

次に図9（C）に示されるようにグリッドアレイ電子部品2が実装されたプリント配線基板1がリフロー炉内に入れられ、半田付けが行われる。このときリフロー炉内においてプリント配線基板1の下面に比べて上面の方が温度が高いとともに、自重によって下方に円弧状（U字状）に反りが発生する。

次に図9（D）に示されるように下方に円弧状（U字状）に反りが発生したプリント配線基板1を矯正するためにプリント配線基板1の中央を下方から上方に押圧するとともに、プリント配線基板1の両側を複数点において上方から下方に押圧して、一定時間保持して、水平に矯正される。

水平に矯正されたプリント配線基板1の電子部品のリードにピンを当てて個々の動作がチェックされた後、筐体内に組み付けられ、ネジ止めされる。

本第5実施形態においては、上述したようにリフロー半田付け工程において下方に円弧状（U字状）に反りが発生したプリント配線基板1を矯正するためにプリント配線基板1の中央を下方から上方に押圧するとともに、プリント配線基板1の両側を複数点において上方から下方に押圧して、一定時間保持して、水平に矯正される矯正工程において、下凸に反っているプリント配線基板1の両側が下方に曲げられるため、ランド13と配線パターン4との接続部31に大きな引張応力が作用するが、前記プリント配線基板1の反りが生じている方向およびそれに近い方向に形成されている配線パターン4と前記ランド3との接続部31には

幅が徐々に減少する補助ランド5が形成されているので、前記ランド3と前記配線パターン4との前記接続部31の応力集中が緩和される。

上記構成より成る本第5実施形態のグリッドアレイ電子部品は、前記グリッドアレイLSIチップ2のコーナー部の前記ランド3に対応する前記プリント配線基板1のランド13の前記配線4を構成する前記プリント配線基板1の反りの方向（図8において一点鎖線で示される）に延在形成すなわち反りの方向に延びて形成された配線パターン4との前記接続部31（図8中横方向両端の全てのランド3の）に前記補助ランド5を構成する前記ティアドロップが形成されているので、上述した矯正工程または組み付け工程において前記プリント配線基板1に荷重が作用して、前記ランド3と前記配線パターン4との前記接続部31に引張応力が作用した時の前記接続部31の応力集中を緩和することにより、前記接続部31における前記配線パターン4の断線を防止するという効果を奏する。

（第6実施形態）

本第6実施形態のグリッドアレイ電子部品は、図10に示されるように額縁状のグリッドアレイLSIチップ2に本発明を適用した点が、前記第5実施形態との相違点である。

本第6実施形態において、補助ランド5が、前記グリッドアレイ電子部品のリフロー半田付け工程において発生した前記プリント配線基板1の反りが生じている方向（図10において一点鎖線で示される）およびそれに近い方向に形成されている配線パターン4に接続されるランド3に形成されている点は、上述した第5実施形態と同様であり、同様の作用効果を奏するので、説明を省略する。

（第7実施形態）

本第7実施形態のグリッドアレイ電子部品は、図11に示されるように第5実施形態（図8図示）と同様に半田ボールグリッドが基盤目状に全面に配設されたプラスチックパッケージの中央部に比較的小さなICチップ21が配設され、プ

プラスチックパッケージ 20 の上面全体が樹脂によって封止されているグリッドアレイ L S I チップ 2 が前記プリント配線基板 1 上に実装される点が、上述した実施形態との相違点である。

本第 7 実施形態においては、グリッドアレイ L S I チップ 2 の全体を支持するプラスチックパッケージ 20 の剛性が低いため、リフロー半田付け工程において前記プリント配線基板 1 が下方に円弧状（U 字状）に反った時に、前記グリッドアレイ L S I チップ 2 のプラスチックパッケージ 20 の部分も反ることが予想される。

したがって反りが発生したプリント配線基板 1 を矯正する（すなわちインサーキットテスターに装着したときに歪みが矯正されこのとき発生する応力がランドの配線パターンの接続部にも生じて断線に至ると推測される）ために、図 12 に示されるようにインサーキットテスター本体内において複数の樹脂製のピンおよびバネによって水平に矯正される場合、プラスチックパッケージ 20 のコーナー部から I C チップ 21 の端部に大きな応力が作用することが予想されるため、本第 7 実施形態においては、かかる範囲のランド 3 と配線パターン 4 との接続部に補助ランドを設けるものである。なお上記矯正は、上述した全ての第 1 実施形態に適用することが出来るものである。

上記構成より成る第 7 実施形態のグリッドアレイ電子部品は、前記補助ランド 5 が、前記プリント配線基板 1 における前記グリッドアレイ L S I チップ 2 に配設された前記 I C チップ 21 の端部に対応する部位に位置するランド 3 に形成されているので、前記 I C チップ 21 の端部に対応する前記部位に位置する前記ランド 3 と前記配線パターン 4 との前記接続部 31 の応力集中を緩和することにより、前記接続部 31 における前記配線パターン 4 の断線を防止するという効果を奏する。

（第 8 実施形態）

本第 8 実施形態のグリッドアレイ電子部品は、図 13 ないし図 15 に示されるように補助ランド 5 が、プリント配線基板 1 を構成する多層プリント配線基板 1

の内層のプリント配線基板上の配線パターン４に接続されるスルーホールとしてのバイアホール１４の回りの接続部５１に形成されている点が、上述した実施形態との相違点であり、以下相違点を中心に説明する。

前記多層プリント配線基板１の第１層１０１の上面には、図１４に示されるようにランド１３とバイアホール１４との間を接続する配線パターン４との接続部３１、５１にはそれぞれ幅が徐々に減少する補助ランド５が形成されている。

多層プリント配線基板１の第２層１０２の上面には、図１５に示されるようにバイアホール１４と配線パターン４との間を接続する接続部５１には幅が徐々に減少する補助ランド５が形成されている。

前記バイアホール１４は、図１３に示されるように多層プリント配線基板１を貫通して配設されている。

上記構成より成る本第８実施形態のグリッドアレイ電子部品は、前記補助ランド５が、前記プリント配線基板１を構成する多層プリント配線基板の内層のプリント配線基板上の配線パターン４に接続されるスルーホールとしてのバイアホール１４の回りの接続部５１に形成されているので、前記多層プリント配線基板１に荷重が作用した時の前記多層プリント配線基板の前記内層のプリント配線基板上の前記スルーホール１４と前記配線パターン４との前記接続部５１の応力集中を緩和することにより、前記接続部５１における前記配線パターン４の断線を防止するという効果を奏する。

また本第８実施形態のグリッドアレイ電子部品は、前記多層プリント配線基板１の第１層１０１の上面には、図１４に示されるようにランド１３とバイアホール１４との間を接続する配線パターン４との接続部３１、５１にはそれぞれ幅が徐々に減少する補助ランド５が形成されているので、前記多層プリント配線基板１に荷重が作用した時の前記ランド１３とバイアホール１４との間を接続する前記配線パターン４との前記接続部３１、５１の応力集中を緩和することにより、前記接続部５１における前記配線パターン４の断線を防止するという効果を奏する。

上述の実施形態は、説明のために例示したもので、本発明としてはそれらに限定されるものではなく、特許請求の範囲、発明の詳細な説明および図面の記載か

ら当業者が認識することができる本発明の技術的思想に反しない限り、変更および付加が可能である。

上述の実施形態においては、説明のために一例とし扇形状および半円形状の補助ランドについて例示したが、本発明としてはそれらに限定されるものではなく、図16に示されるように平行線とテーパ部とからなる補助ランド（図16（A））、凸円弧からなる補助ランド（図16（B））、凹円弧からなる補助ランド（図16（C））その他の形態を採用することが出来る。

上述の第8実施形態においては、一例として前記バイアホール14が、多層プリント配線基板1を貫通して配設される例について説明したが、本発明としてはそれらに限定されるものではなく、図17に示されるようにバイアホール14が多層プリント配線基板1の第1層のみをまたは任意の層を貫通するように形成することが出来るものである。

上述の実施形態においては、プリント配線基板に荷重が作用した時におけるグリッドアレイLSIチップの過大な引張応力が作用する部位に対応する部位のプリント配線基板のランドに補助ランドを設ける例について例示したが、本発明としてはそれらに限定されるものではなく、グリッドアレイLSIチップの過大な引張応力が作用する部位が複数である場合や、部位が変化する場合や、広い範囲にわたる場合等はグリッドアレイLSIチップの縁部全体または内部も含めて全体にわたるランドに補助ランドを形成する態様を採りうるものである。

また上述の第5実施形態においては、一例としてリフロー半田付け工程においてプリント配線基板の幅方向の両端をコンベアフレームによって支持する例について説明したが、本発明としてはそれらに限定されるものではなく、熱および気流の循環および通過自在の網状の支持体または多数の支持ピンを植設された支持体によって支持して、プリント配線基板の反りおよび歪みの発生を抑制する実施形態を採用することが出来るものである。

請求の範囲

1. プリント配線基板の配線に接続された多数のランドに接続手段を介して接続される多数のランドを備えたグリッドアレイ L S I チップが配設されるグリッドアレイ電子部品において、

前記グリッドアレイ L S I チップに対応するプリント配線基板におけるランドと前記接続手段としての配線パターンとの間に過大な引張応力が作用する部位のランドの前記配線パターンとの接続部に補助ランドが形成されていることを特徴とするグリッドアレイ電子部品。

2. 前記補助ランドが、前記プリント配線基板に荷重が作用した時に該プリント配線基板の他に比べて過大な引張応力が作用する少なくとも一部に位置するランドに形成されていることを特徴とする請求項 1 記載のグリッドアレイ電子部品。

3. 前記補助ランドが、前記プリント配線基板における前記グリッドアレイ L S I チップのコーナー部に対応する部位に位置するランドに形成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

4. 前記補助ランドが、前記プリント配線基板における前記グリッドアレイ L S I チップに配設された I C チップの端部に対応する部位に位置するランドに形成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

5. 前記補助ランドが、前記グリッドアレイ電子部品のリフロー半田工程において発生した前記プリント配線基板の反りが生じている方向およびそれに近い方向に形成されている配線パターンに接続されるランドに形成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

6. 前記補助ランドが、発生した前記プリント配線基板の反りおよび歪みを矯正する矯正工程またはアッセンブリ工程において前記配線パターンに過大な引張応力が作用するランドに形成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

7. 前記補助ランドが、前記グリッドアレイ L S I チップの前記一部の前記ランドに対応する前記プリント配線基板のランドから前記配線パターンに至るまでの接続用断面積が徐々に変化するように構成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

8. 前記補助ランドが、前記グリッドアレイ L S I チップの前記コーナー部の前記ランドに対応する前記プリント配線基板のランドの位置に応じて異なった形状の補助ランドによって構成されていることを特徴とする請求項 3 記載のグリッドアレイ電子部品。

9. 前記補助ランドが、前記グリッドアレイ L S I チップのコーナー部の端部に近いランドに対応する前記プリント配線基板のランドほどその接続用断面積の平均値が大きくなるように構成されていることを特徴とする請求項 3 記載のグリッドアレイ電子部品。

10. 前記補助ランドが、前記プリント配線基板を構成する多層プリント配線基板の内層のプリント配線基板上の配線パターンに接続されるスルーホールの回りの接続部に形成されていることを特徴とする請求項 2 記載のグリッドアレイ電子部品。

11. 前記グリッドアレイ L S I チップのコーナー部に対応する前記プリント配線基板の前記補助ランドが形成された前記ランドに接続された前記配線パターンが、プリント配線基板のバイヤホールの補助ランドが形成された接続部に接続されていることを特徴とする請求項 3 記載のグリッドアレイ電子部品。

12. グリッドアレイ電子部品を構成するプリント配線基板と該プリント配線基板に実装されるグリッドアレイ L S I チップとを接続する配線において、前記グリッドアレイ L S I チップのコーナー部のランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドを形成することにより、前記配線の接続部を強化したことを特徴とする配線強化方法。

13. 前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の接続部を強化した

ことを特徴とする請求項 1 2 記載の配線強化方法。

1 4. グリッドアレイ電子部品を構成するプリント配線基板と該プリント配線基板に実装されるグリッドアレイ L S I チップとを配線パターンによって接続するグリッドアレイ電子部品の製造方法において、

前記グリッドアレイ L S I チップのコーナー部のランドに対応する前記プリント配線基板のランドの前記配線との接続部に補助ランドを形成することにより、前記配線パターンの接続部を強化したグリッドアレイ電子部品を製造する

ことを特徴とするグリッドアレイ電子部品の製造方法。

1 5. 前記プリント配線基板のバイヤホールの前記配線との接続部に補助ランドを形成することにより、前記配線の接続部を強化したグリッドアレイ電子部品を製造する

ことを特徴とする請求項 1 4 記載のグリッドアレイ電子部品の製造方法。

図 1

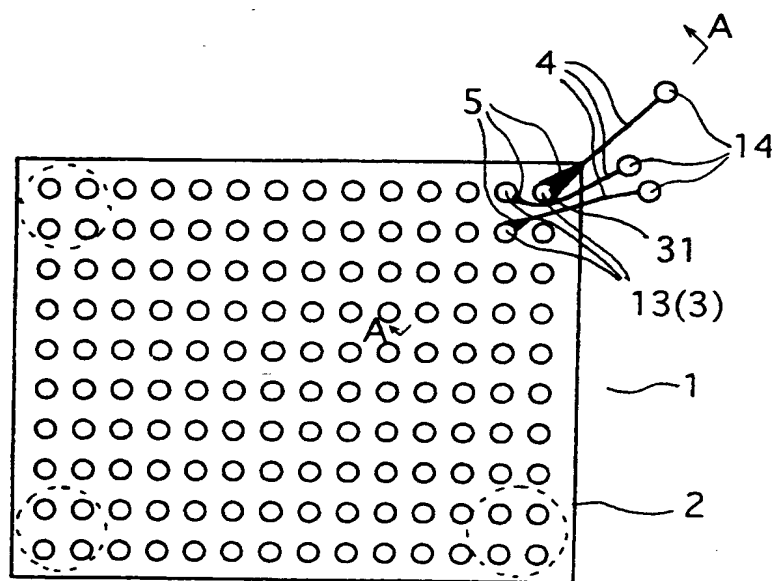


図 2

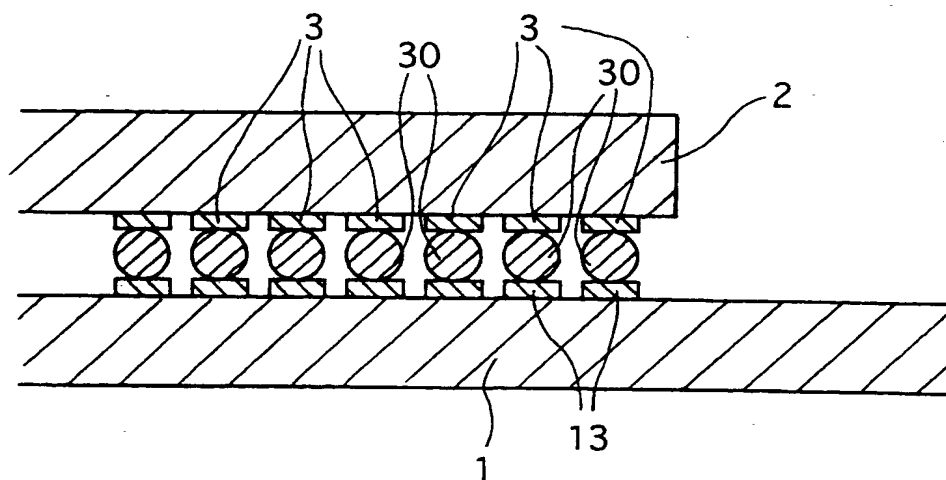


図3

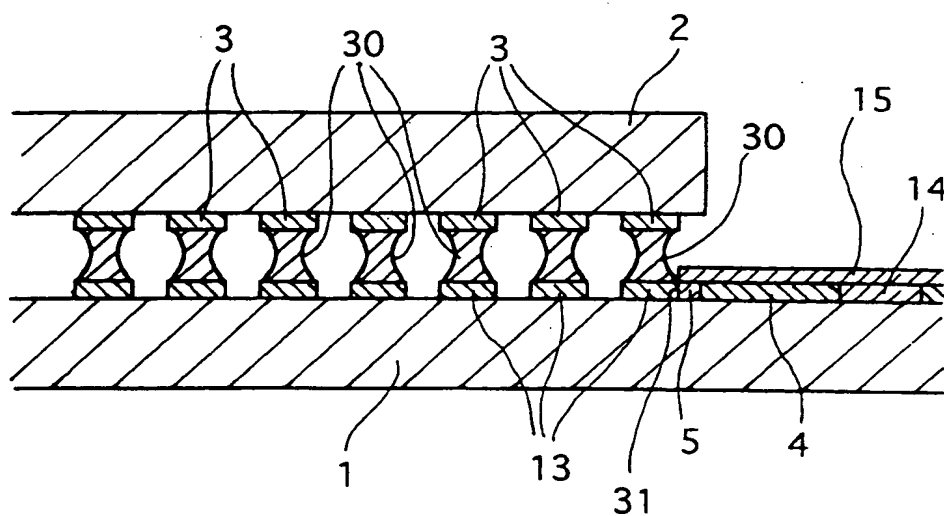


図4

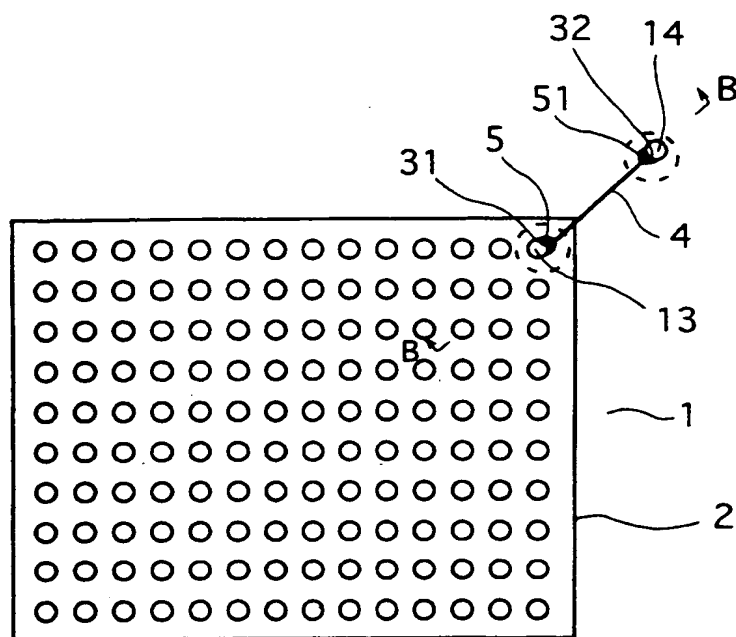


図 5

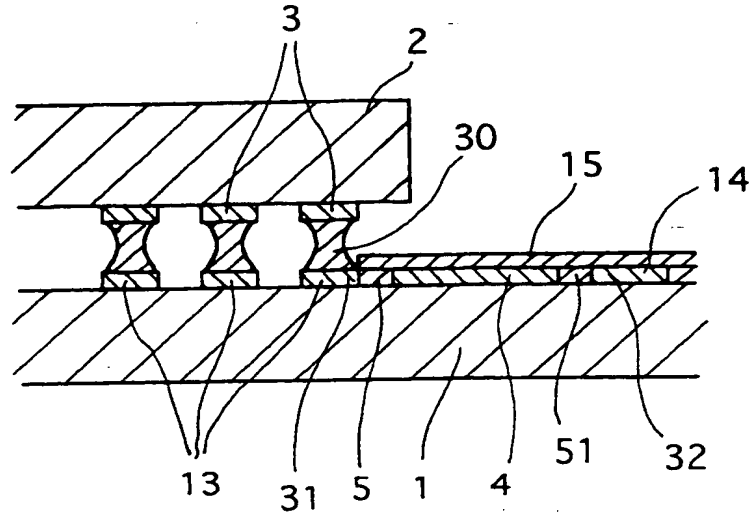


図 6

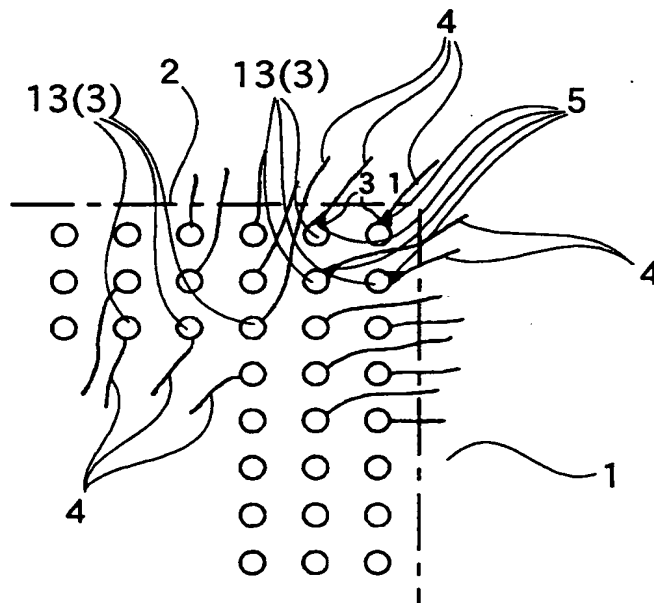


図 7

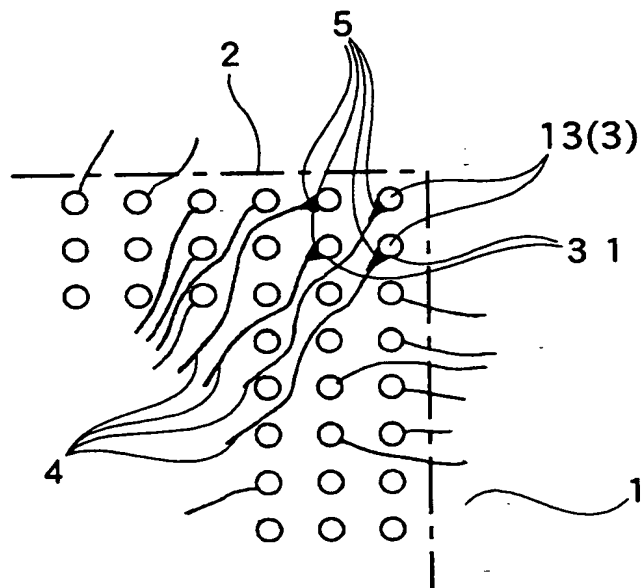


図 8

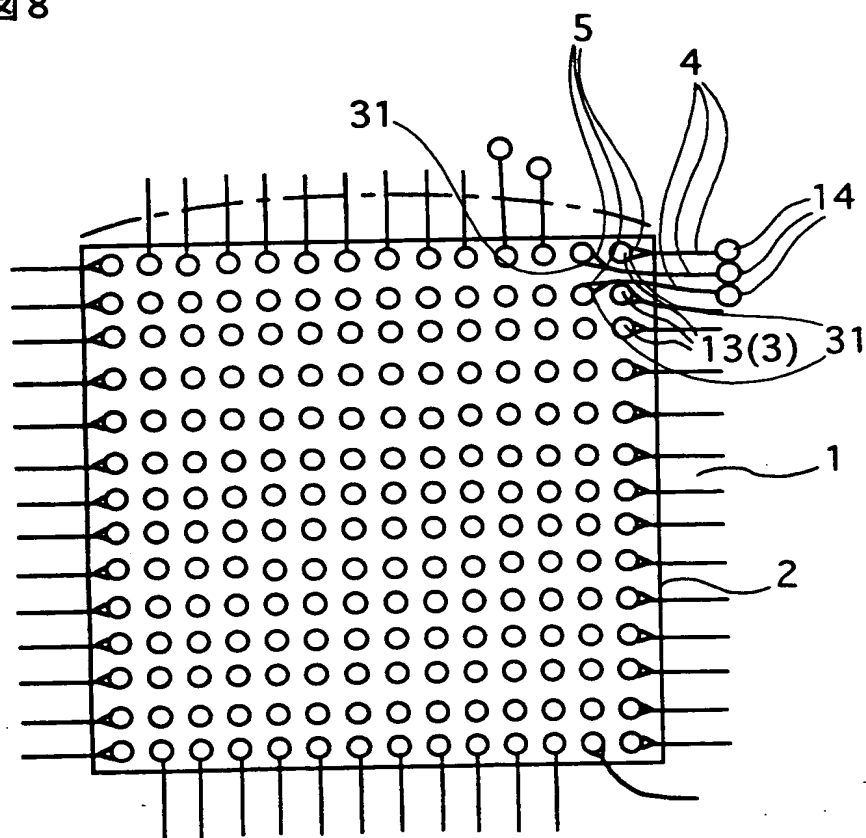


図9

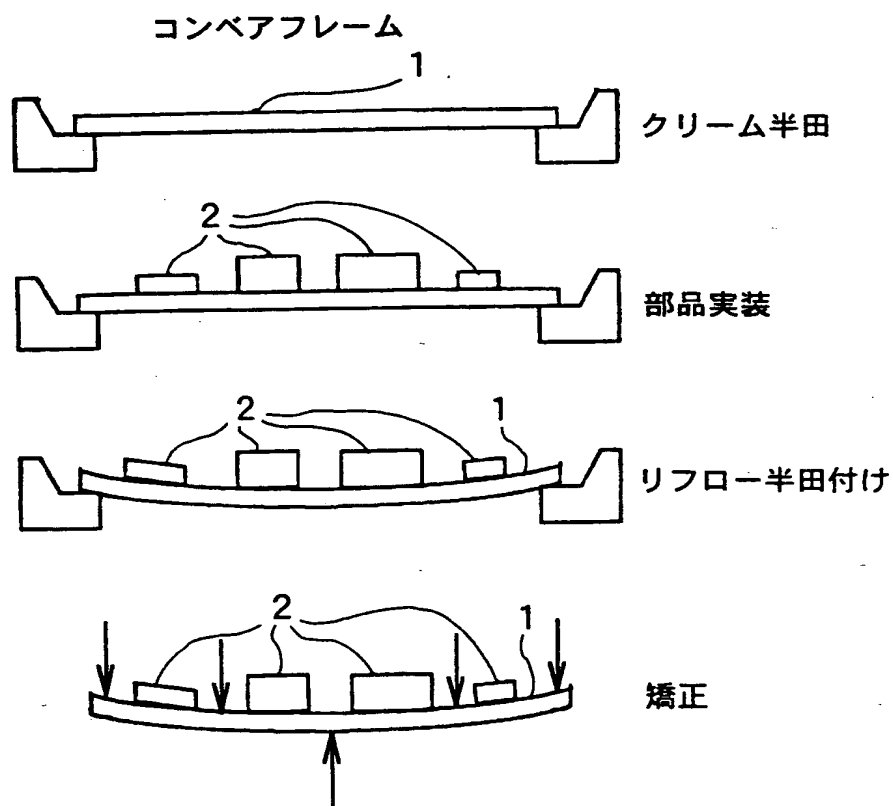


図10

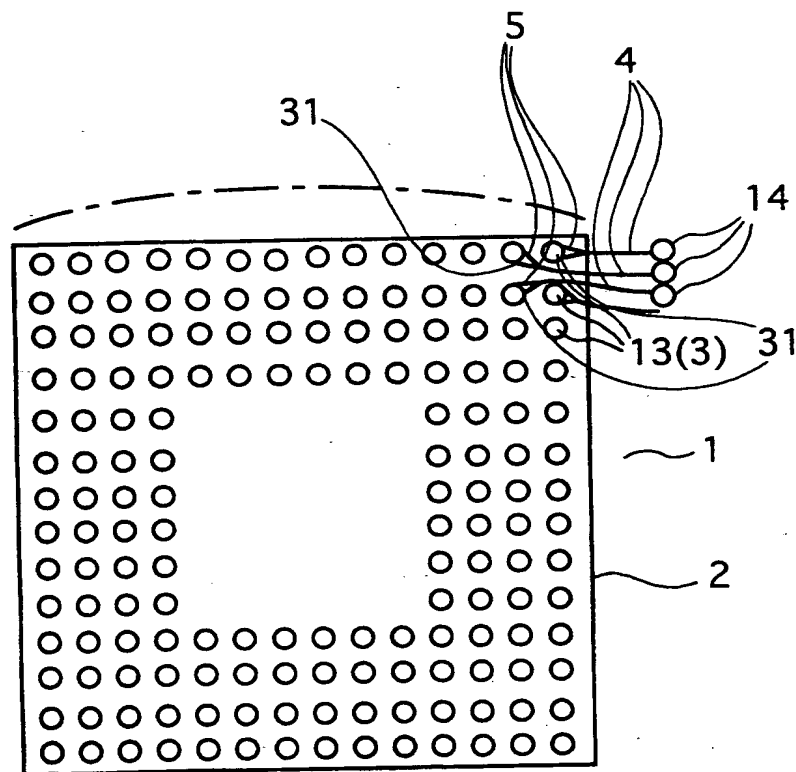


図 1 1

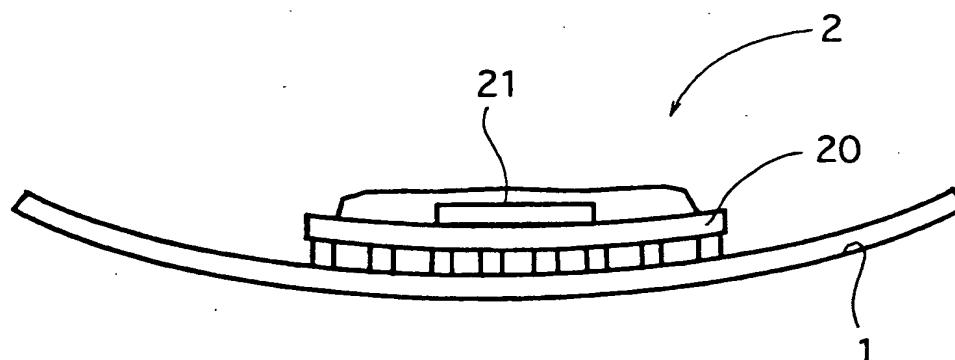


図 1 2

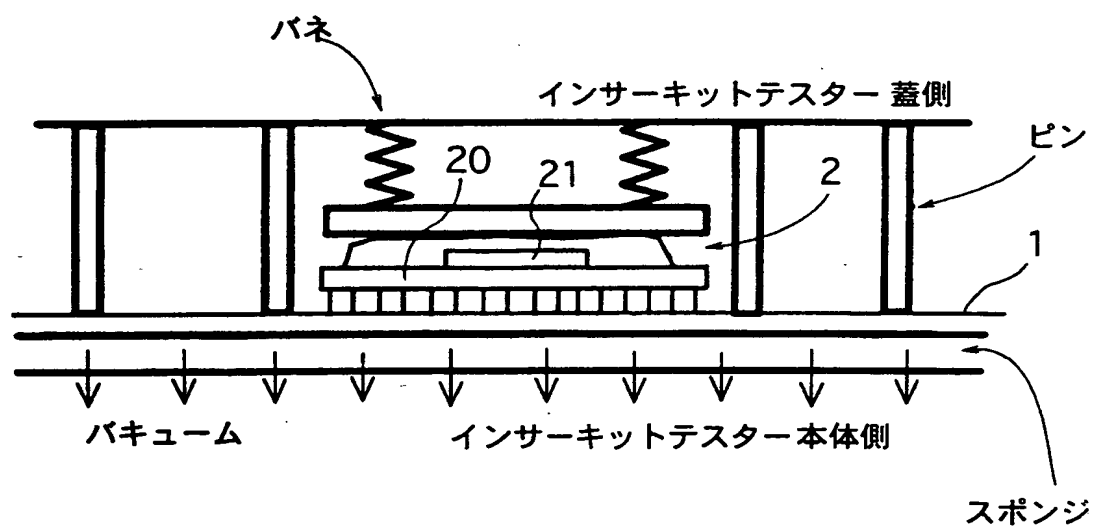


図 1 3

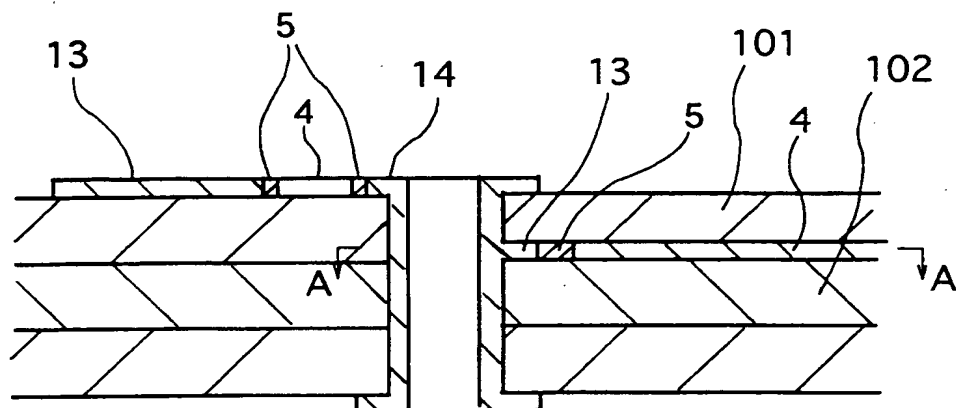


図 1 4

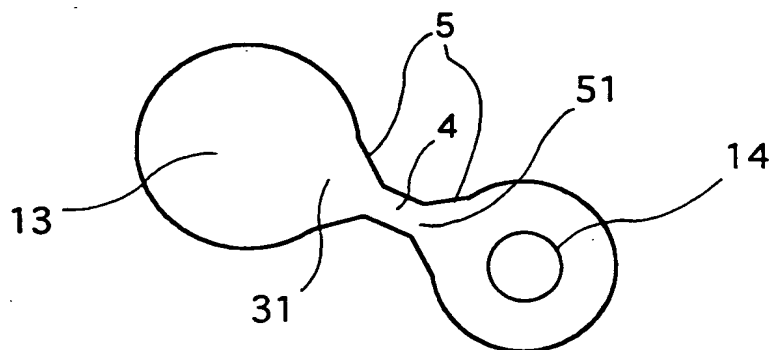


図 1 5

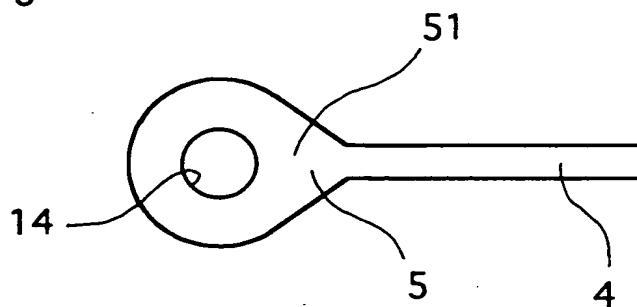


図 16

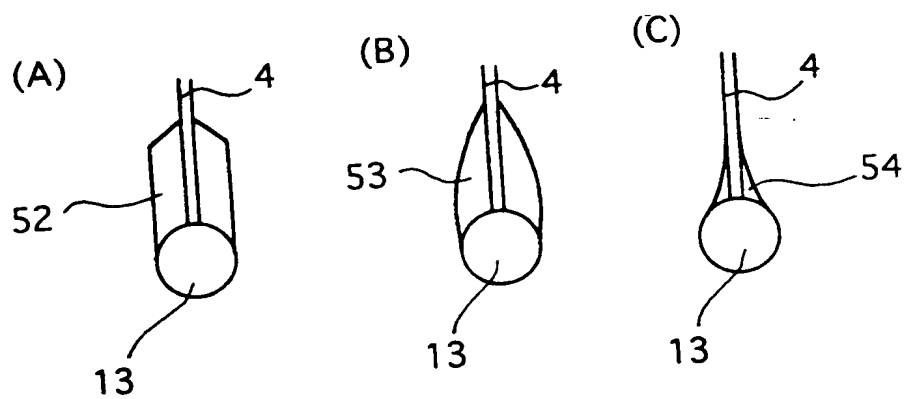


図 17

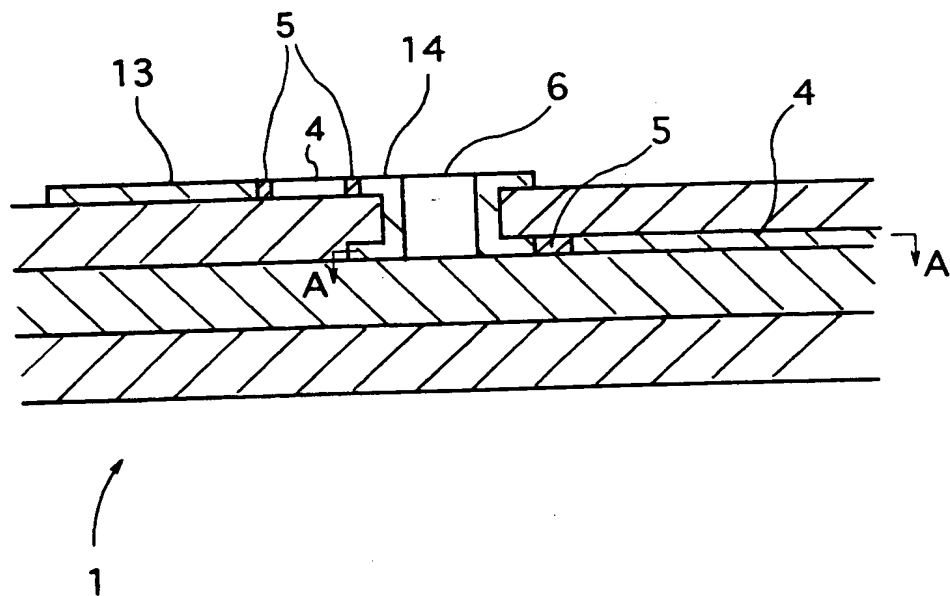
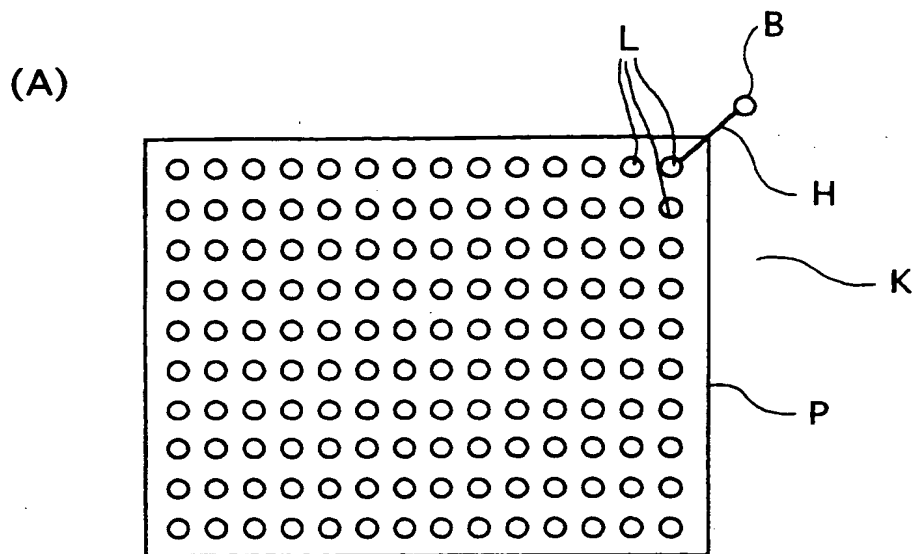


図 1 8



(B)

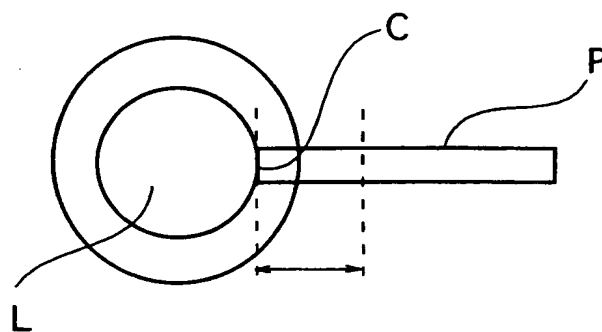


図 1 9

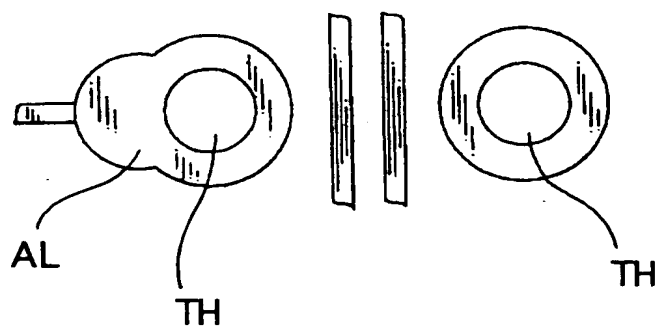


図20

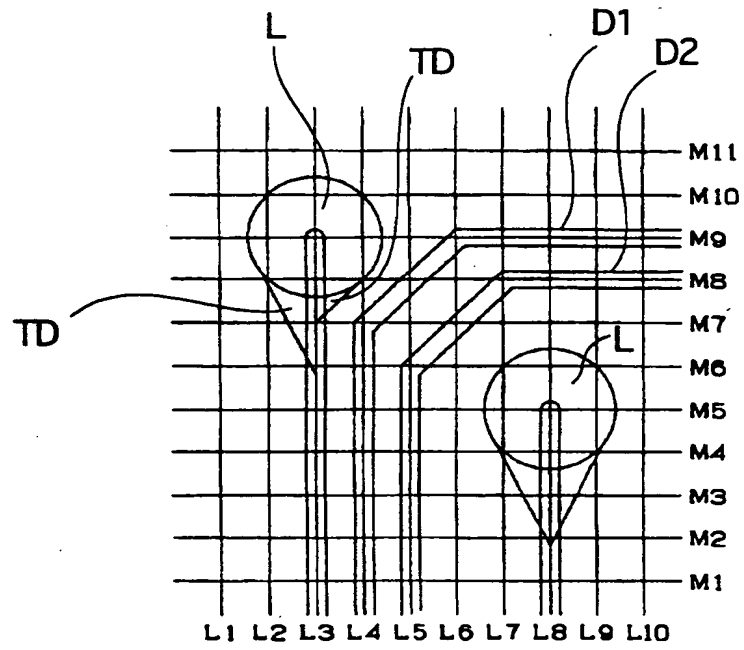
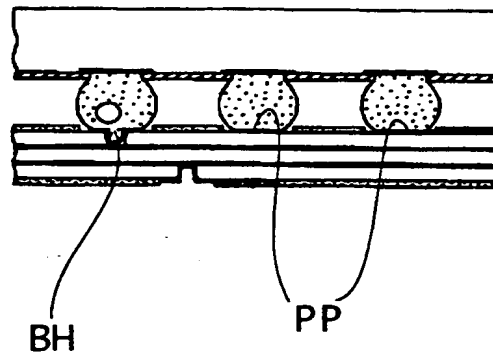


図21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06462

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L23/12 H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000

Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 11-97575, (Denso Corporation), 09 April, 1999 (09.04.99), Claims; drawings (Family: none)	1-15
Y	JP, 8-78825, (Matsushita Electric Works, Ltd.), 22 March, 1996 (22.03.96), Claims; drawings (Family: none)	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

14 December, 2000 (14.12.00)

Date of mailing of the international search report


26 December, 2000 (26.12.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl. ⁷ H01L23/12		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl. ⁷ H01L23/12 H05K1/18		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2000年 日本国登録実用新案公報 1994-2000年 日本国実用新案登録公報 1996-2000年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 11-97575, (株式会社デンソー) 9. 4月. 1999 (09. 04. 99) 特許請求の範囲、図面 & ファミリーなし	1-15
Y	JP, 8-78825, (松下電工株式会社) 22. 3月. 1996 (22. 03. 96) 特許請求の範囲、図面 & ファミリーなし	1-15
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー <div style="display: flex; justify-content: space-between;"> <div style="width: 48%;"> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p> </div> <div style="width: 48%;"> <p>の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリー文献</p> </div> </div>		
国際調査を完了した日 <div style="text-align: right;">14. 12. 00</div>	国際調査報告の発送日 <div style="text-align: right; font-size: 1.2em;">26.12.00</div>	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 坂本 薫昭 <div style="float: right; text-align: center;">  </div> <div style="display: flex; justify-content: flex-end; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px 5px;">4R</div> <div style="border: 1px solid black; padding: 2px 5px;">9265</div> </div> 電話番号 03-3581-1101 内線 6362	

